

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-028624  
(43)Date of publication of application : 30.01.1990

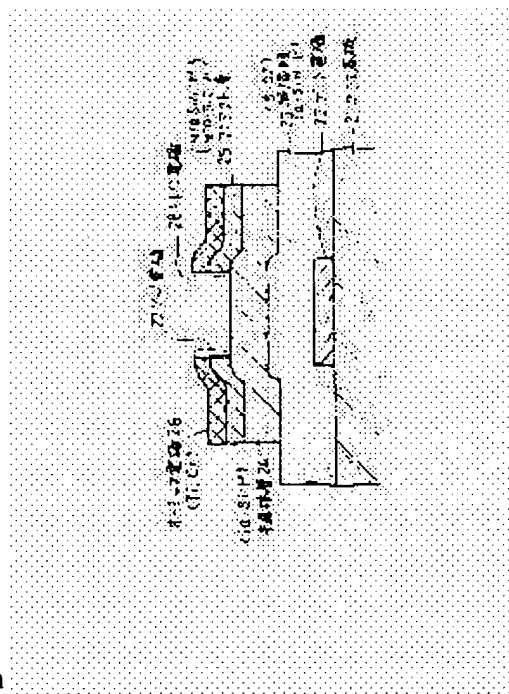
(51)Int. CI. G02F 1/136  
H01L 21/336  
H01L 27/12  
H01L 29/40  
H01L 29/784

(21)Application number : 63-179977 (71)Applicant : FUJITSU LTD  
(22)Date of filing : 18.07.1988 (72)Inventor : MISHIMA YASUYOSHI  
MATSUMOTO TOMOTAKA  
KIMURA TADAYUKI

## (54) THIN FILM TRANSISTOR

### (57)Abstract:

PURPOSE: To obtain a thin film transistor (TFT) which has a large operation margin for an Ioff current by laminating an impurity-added type hydrogenated amorphous silicon layer which has a large energy band gap as a contact layer and an ohmic electrode film and forming the laminated film as a source electrode and a drain electrode. CONSTITUTION: A semiconductor layer 24 is formed of an ia-Si:H layer in a specific pattern on an insulating film 23. A carbon-added hydrogenated amorphous silicon layer (N+a-SiC:H) to which N type impurities of phosphorus or arsenic are added or nitrogen-added hydrogenated amorphous silicon layer (N+a-SiN:H) layer to which N type impurities are added is formed thereupon as the contact layer 25. On this contact layer 25, the ohmic electrode 26 formed of a Ti film or Cr film is laminated. Then the lamination structure of the contact layer 25 and ohmic electrode 26 is patterned by using a photoresist film as a mask to form the source electrode 27 and drain electrode 28.



Consequently, the margin of the Ioff (drain) current value can be increased.

---

#### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision  
of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

## ⑫ 公開特許公報(A) 平2-28624

⑮ Int. Cl.<sup>3</sup>G 02 F 1/136  
H 01 L 21/336  
27/12  
29/40  
29/784

識別記号

5 0 0

庁内整理番号

7370-2H

⑬ 公開 平成2年(1990)1月30日

A  
A7514-5F  
7638-5F

8624-5F H 01 L 29/78 3 1 1 P

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 薄膜トランジスタ

⑯ 特 願 昭63-179977

⑰ 出 願 昭63(1988)7月18日

⑱ 発 明 者 三 島 康 由 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内⑲ 発 明 者 松 本 友 孝 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内⑳ 発 明 者 木 村 忠 之 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

㉑ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉒ 代 理 人 弁理士 井 桁 貞一

## 明 細 書

## 1. 発明の名称

薄膜トランジスタ

## 2. 特許請求の範囲

絶縁性基板(21)上に形成された所定パターンのゲート電極(22)上に絶縁膜(23)を介して半導体層(24)としての真性の水素化アモルファスシリコン層が形成され、該半導体層(24)上に素子形成用のコンタクト層(25)としての前記水素化アモルファスシリコン層よりエネルギーバンドギャップの広い不純物添加型の水素化アモルファスシリコン層と、該コンタクト層(25)上にオーミック電極膜(26)とが積層形成され、前記コンタクト層とオーミック電極膜の積層膜が、所定のパターンに分離されてソース電極(27)およびドレイン電極(28)として形成されたことを特徴とする薄膜トランジスタ。

## 3. 発明の詳細な説明

(概 要)

液晶表示パネルの液晶セル駆動用の薄膜トランジスタの構造に関し、

該薄膜トランジスタ駆動用のドレイン電流に於けるOFF電流(ゲート電圧を負バイアスにした時のドレイン電流)の値が、パネルの温度上昇や、パネルの表示用光源の透光により影響を受けて大きくなるのを防止することを目的とし、

絶縁性基板上に形成された所定パターンのゲート電極上に絶縁膜を介して半導体層としての真性の水素化アモルファスシリコン層が形成され、該水素化アモルファスシリコン層上に素子形成用のコンタクト層としての前記水素化アモルファスシリコン層よりエネルギーバンドギャップの広い不純物添加型の水素化アモルファスシリコン層とオーミック電極膜とが積層形成され、かつ前記コンタクト層とオーミック電極膜の積層膜が、所定のパターンに分離されてソース電極およびドレイン電極として形成されて成る構成とする。

(産業上の利用分野)

本発明は液晶表示パネルの液晶セル駆動用の薄膜トランジスタの構造に関する。

OA機器の普及に伴い、コンパクトでフラットな構造で、かつ高品質な画像を呈する大型液晶表示パネルが要求され、このため単純マトリックス型液晶表示パネルや、アクティブマトリックス型液晶表示パネル等が開発されている。前者の液晶表示パネルは工程が比較的簡単で、歩留まり良く形成できるが、フルカラーの液晶表示パネルを形成する際の色の彩度や明度の品質の点で問題を生じる。

後者の液晶表示パネルは、薄膜トランジスタを液晶セルの駆動に用いているため、フルカラーの液晶表示パネルを形成する際、色の彩度や明度の点では満足できるが、工程が煩雑で歩留まりが悪い等の難点がある。そのため、歩留まりの良い素子構成および薄膜トランジスタの駆動電流のマージンが大きくとれる液晶表示パネルが望まれている。

パネルが形成されている。

このような液晶表示パネルの動作に付いて述べると、前記したゲートバスライン2に所定の電圧を印加することでゲート電極6に所定の電圧を印加し、薄膜トランジスタ5を導通状態にすることでドレインバスライン3のデータ電圧が画素電極4に書き込まれる。即ち画素電極4に書き込まれたデータ電圧がセル電圧になる。

次いで薄膜トランジスタ5をオフ状態、即ち、非導通状態とすることでセル電圧は、データ電圧の変動に対して殆ど影響無く、一定の状態に保たれ、それによって大容量の液晶表示パネルが得られる。

第8図は従来の薄膜トランジスタの構造を示す断面図であり、第1のガラス基板1上には所定パターンに形成のチタン(Ti)膜或いはクロム(Cr)膜よりなるゲート電極6が形成され、該ゲート電極6上には水素を添加したアモルファス窒化シリコン膜、或いは二酸化シリコン( $\text{SiO}_2$ )膜が絶縁膜11として形成され、更にその上には所定パターンの真性の水素化アモルファスシリコン(以下

〔従来の技術〕

第7図は薄膜トランジスタを液晶セルの駆動用素子として用いたアクティブマトリックス型液晶表示パネルの斜視図で、第1のガラス基板1上にはゲートバスライン2と、該ゲートバスライン2と絶縁膜(図示せず)を介して交差するドレインバスライン3と、該ゲートバスライン2とドレインバスライン3で囲まれた領域に複数の画素(液晶セル)を形成する透明な画素電極4と、画素単位の複数の薄膜トランジスタ5が形成されている。

この薄膜トランジスタ5のゲート電極6はゲートバスライン2に、ドレイン電極7はドレインバスライン3に、ソース電極8は画素電極4にそれぞれ接続されている。

またこのドレイン電極7を画素電極4に接続しても良いし、ソース電極8をドレインバスライン3に接続しても良い。

一方、第2のガラス基板9には透明なベタの共通電極10が形成され、このガラス基板9と第1のガラス基板1の間には液晶が封入されて液晶表示

ン(以下 $\text{a-Si:H}$ と称す)よりなる半導体層12が形成されている。そして更に該半導体層12上にはコンタクト層としてのN型不純物添加型水素化アモルファスシリコン(以下 $\text{N}^+ \text{a-Si:H}$ と称す)膜13と、Ti膜、或いはCr膜よりなるオーミック電極14との積層膜がゲート電極6と投影的に一部オーバーラップし、かつ2つに分割されたパターンにより成膜されソース電極15およびドレイン電極16として形成されている。

〔発明が解決しようとする課題〕

ところで従来の薄膜トランジスタの構造では、第2図の点線曲線に示すようにゲート電極側に+の電圧を印加した場合のドレイン電流( $I_{on}$ )は $10^{-6}\text{A}$ 以上の値を示して液晶パネルを明に動作させる駆動に対して問題はない。

然し、ゲート電極側に-の電圧を印加した場合のドレイン電流( $I_{off}$ )電流は、同点線曲線で示すように $10^{-11} \sim 10^{-12}\text{A}$ の値で飽和状態に到達す

るので液晶パネルの温度上昇や、パネルの照射光源（バックライト）の透光が薄膜トランジスタに導入されることによって上記ドレイン電流の値は、容易に $10^{-10}$ A程度に上昇し、セル電圧を保持するためには確実性が無いといった問題がある。

このことは、ゲート電極側に負の電圧を印加した場合、半導体層とコンタクト層間に形成されたN型反転層によりコンタクト層内に正孔が導入され、この正孔が確実にコンタクト層内で、ブロッキングされずにオーミック電極側に移動し、その正孔の移動によって $I_{off}$ 電流値が上昇するものと考えられる。

そのため、前記したパネルの照射光源の透光や、パネルの温度上昇によって $I_{off}$ 電流が変化するため、高品質の画像が得られない問題がある。

また薄膜トランジスタは、各画素電極に対応して複数個設けられており、この温度上昇や、透光の影響を受けない薄膜トランジスタを多数、均一な特性でパネル全体（ガラス基板全体）に形成するのは困難である。

#### 〔作用〕

本発明の薄膜トランジスタは、コンタクト層として従来用いていた $N^+ a-Si:H$ 層の代わりに、該 $N^+ a-Si:H$ に炭素、或いは窒素を添加し、該 $N^+ a-Si:H$ よりもエネルギーバンドギャップの大きい $N^+ a-SiC:H$ 、或いは $N^+ a-SiN:H$ 層を形成することで、薄膜トランジスタの半導体層とオーミック電極（ドレイン領域側）との間に、ゲート電極に一の電圧を印加した時にゲート電極からオーミック電極側（ドレイン領域側）に正孔が導入されるのを防止するブロッキング層を形成して正孔が半導体層内に溜まるようにし、 $I_{off}$ 電流がパネルの温度上昇や、パネルの照射光源の透光の影響を受け難くして $I_{off}$ 電流値のマージンを大きくとれるようにする。

#### 〔実施例〕

以下、図面を用いて本発明の一実施例につき詳細に説明する。

第1図は本発明の薄膜トランジスタの断面図で

本発明は上記した問題点を除去し、 $I_{off}$ 電流がパネルの温度上昇や、照射光源からの透光によっても影響を受けないようにして、 $I_{off}$ 電流の動作マージンの大きい薄膜トランジスタの構造の提供を目的とする。

#### 〔課題を解決するための手段〕

上記目的を達成する本発明の薄膜トランジスタは、絶縁性基板上に形成された所定パターンのゲート電極上に絶縁膜を介して半導体層としての真性の水素化アモルファスシリコン層が形成され、該水素化アモルファスシリコン層上に素子形成用のコンタクト層としての前記水素化アモルファスシリコン層よりエネルギーバンドギャップの大きい不純物添加型の水素化アモルファスシリコン層とオーミック電極膜とが積層形成され、かつ前記コンタクト層とオーミック電極膜の積層膜が、所定のパターンに分離されてソース電極およびドレイン電極として形成されて成ることで構成される。

ある。図示するように透明な第1のガラス基板21上に、所定パターンのTi或いはCr膜よりなるゲート電極22が形成されている。該ゲート電極22上には水素を添加したアモルファス窒化シリコン( $a-SiN:H$ )膜、或いは二酸化シリコン( $SiO_2$ )膜よりなる絶縁膜23がプラズマCVD法により形成されている。

またこの絶縁膜23上には、プラズマCVD法およびホトリソグラフィ法を用いて形成したホトレジスト膜をマスクとしたエッチングにより所定のパターンの $a-Si:H$ 層よりなる半導体層24が50~1000Åの厚さに形成されている。

このままでは前述した従来例に何ら変わりはないが、本発明はこの $a-Si:H$ 層24上に燐(P)、または砒素(As)のN型の不純物を添加した炭素添加型水素化アモルファスシリコン層( $N^+ a-SiC:H$ )、或いは上記N型の不純物を添加した窒素添加型水素化アモルファスシリコン層( $N^+ a-SiN:H$ )層がコンタクト層25として10~1000Åの厚さでプラズマCVD法により形成されている。

このコンタクト層25は電気伝導度 $\sigma = 10(\Omega \cdot \text{cm})^{-1}$ 程度になるようにN型不純物の添加量を制御する。

そしてこのコンタクト層25上にはTi膜またはCr膜よりなるオーミック電極26が蒸着、およびエッチングにより所定のパターンに積層形成されている。

そしてこのコンタクト層25とオーミック電極26の積層構造が前述したように所定パターンのホトレジスト膜をマスクとしてエッチングによりパターンニングされ、ソース電極27およびドレイン電極28として形成される。

このようにして形成された薄膜トランジスタの特性を第3図に示すトランジスタのエネルギーバンド構造図を用いて説明する。

また該トランジスタのコンタクト層25のエネルギーバンド構造図を部分的に拡大した第4図を用いて説明する。

第3図および第4図に於いて図の縦軸31は電子のエネルギー値を示し、32はゲート電極22のフェ

ルミレベル( $E_F$ )、23は絶縁膜、24はi-a-Si:H層よりなる半導体層、25はN<sup>+</sup>-a-SiC:H層よりなるコンタクト層、26はオーミック電極を示す。

図示するように本発明の薄膜トランジスタが、従来の薄膜トランジスタと異なる点は、本発明の薄膜トランジスタのコンタクト層が、従来のN<sup>+</sup>-a-Si:H層より成るコンタクト層に代わって該N<sup>+</sup>-a-Si:H層よりエネルギーバンドギャップが大きく、該N<sup>+</sup>-a-Si:H層に炭素を添加したN<sup>+</sup>-a-SiC:H層、或いはN<sup>+</sup>-a-Si:H層に窒素を添加したN<sup>+</sup>-a-SiN:Hで形成されている点にある。

図示するように、N<sup>+</sup>-a-SiC:H層よりなるコンタクト層25に於ける伝導帯のエネルギー値( $E_{c2}$ )と、オーミック電極26に於けるフェルミレベル( $E_F$ )32の間のエネルギーギャップの値( $\Delta E$ )の値は、i-a-SiC:H層に添加される燐、または砒素等のN型の不純物の添加量によって異なり、添加量が多く成るほどエネルギーギャップの値は小さくなる。

またa-Si:H層に炭素を添加し、更にN型の不純物原子を添加した本発明のN<sup>+</sup>-a-SiC:H層よりな

るコンタクト層25の伝導帯のエネルギー値( $E_{c2}$ )と、価電子帯のエネルギー値( $E_{v2}$ )間のバンドギャップ $E_{g2}$ の値は、従来の半導体層を構成するN<sup>+</sup>-a-Si:Hの $E_{g1}$ の値が1.70eVに対して2.0eVに迄増大する。そのため、 $\Delta E$ の値が0.20eVの値(この値は従来のコンタクト層に於ける $\Delta E$ の値と同じ)になるようにN型の不純物の添加量を制御すると、N<sup>+</sup>-a-SiC:H層よりなるコンタクト層25に於けるフェルミレベル32から、価電子帯のエネルギー値( $E_{v2}$ )迄のエネルギー値が1.80eVとなる。

従って従来のコンタクト層を構成するN<sup>+</sup>-a-Si:H層のエネルギーバンドギャップ $E_{g1}$ の値は1.70eVであるので、炭素原子を添加したことで、エネルギーバンドギャップが従来の炭素を添加しない場合に比較して下方向に拡大することになり、このN<sup>+</sup>-a-SiC:H層よりなるコンタクト層25内にエネルギー値が(1.80 - 1.50)eVのブロッキング層33が形成されることになり、このブロッキング層33に正孔34が閉じ込められて、オーミック電極側に正孔34が移動しなくなるので、Ioff電流値が第

2図の実線曲線に示すように、従来の $10^{-11}$ Aより $10^{-12}$ Aに迄低下し、Ioff電流の動作マージンが増大する。

尚、上記したi-a-Si:H層に炭素原子を添加した時の伝導帯のエネルギー値( $E_c$ )と価電子帯のエネルギー値( $E_v$ )との差のエネルギーギャップ( $E_g$ )の値との関係図を第5図に示す。この図で縦軸は $E_g$ の値(eV)を示し、横軸はi-a-Si:H層に添加された炭素原子の量をSi原子に対する原子%で求めた値である。このようなa-SiC:H層を形成するにはシラン( $\text{SiH}_4$ )ガスと共に炭素原子を有するメタン( $\text{CH}_4$ )ガス、エタン( $\text{C}_2\text{H}_6$ )ガスおよびプロパン( $\text{C}_3\text{H}_8$ )ガス等のガスを同時に反応容器内に導入してプラズマCVDで形成する。

また上記したi-a-Si:H層に窒素原子を添加した時の伝導帯のエネルギー値( $E_c$ )と、価電子帯のエネルギー値( $E_v$ )との差のエネルギーギャップ( $E_g$ )の値との関係図を第6図に示す。図で縦軸は $E_g$ の値(eV)を示し、横軸はi-a-Si:H層に添加された窒素原子の量をSi原子に対する原子%で求

めた値である。

このような $a\text{-SiN:H}$ 層を形成するには、シラン( $\text{SiH}_4$ )ガスと共に窒素原子を有するアンモニア( $\text{NH}_3$ )ガス、或いは $\text{N}_2$ ガスを反応容器内に導入し、プラズマCVD法で形成する。

このような本発明の実施例の薄膜トランジスタの構造によれば、正孔がオーミック電極側(ソース領域側)に移動するのを阻止するブロッキング層が $\text{N}^+\text{-a-SiC:H}$ 層内に形成されるので、 $I_{\text{off}}$ 電流がパネルの温度上昇や、照明光源から漏れた光によって増加し難くなり、 $I_{\text{off}}$ 電流の動作マージンが増大する。従ってこれを用いて液晶表示パネルを形成すれば高品質のパネルが得られる。

尚、本実施例では $\text{N}^+\text{-a-SiC:H}$ 層をコンタクト層として用いたが、P型の不純物例えばボロン(B)を添加して $\text{P}^+\text{-a-SiC:H}$ 層をコンタクト層として形成して、従来と逆方向の電圧をゲート電極に印加して用いても良い。

(発明の効果)

図において、

21はガラス基板、22はゲート電極、23は絶縁膜、24は半導体層、25はコンタクト層、26はオーミック電極、27はソース電極、28はドレイン電極、31は電子エネルギー、32はフェルミレベル、33はブロッキング層、34は正孔を示す。

代理人 弁理士 井 桁 貞 一



以上の説明から明らかなように本発明によれば、駆動電流の動作マージンの大きい薄膜トランジスタが得られるので、これを用いて液晶表示パネルを形成すれば、高品質のパネルが得られる効果がある。

#### 4. 図面の簡単な説明

第1図は本発明の薄膜トランジスタの構成図、第2図は本発明の薄膜トランジスタの特性図、第3図は本発明の薄膜トランジスタのエネルギーバンド構造を示す断面図、

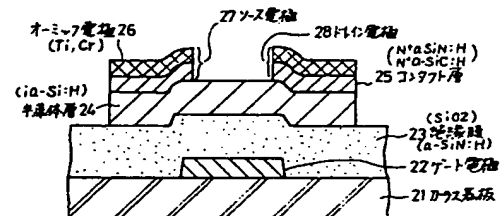
第4図は第3図の要部の拡大図、

第5図は $a\text{-Si:H}$ に対するCの添加量とE。の関係図、

第6図は $a\text{-Si:H}$ に対するNの添加量とE。の関係図、

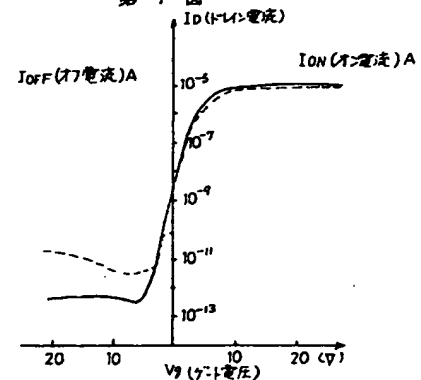
第7図は薄膜トランジスタを用いたアクティブマトリクス型液晶表示パネルの斜視図、

第8図は従来の薄膜トランジスタの断面図である。



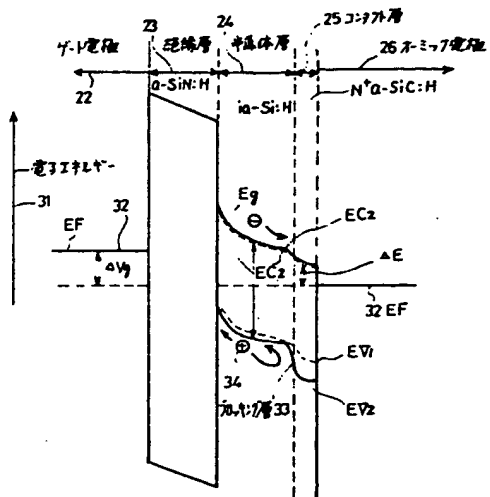
本発明の薄膜トランジスタの構成図

第1図

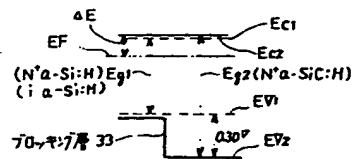


本発明の薄膜トランジスタ特性図

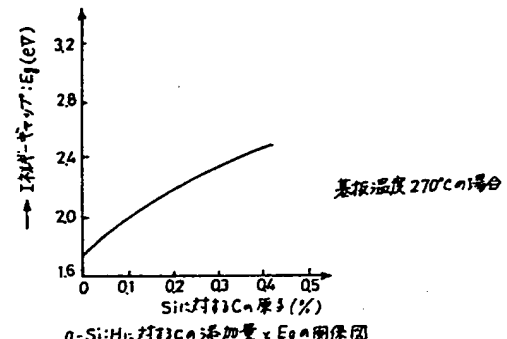
第2図



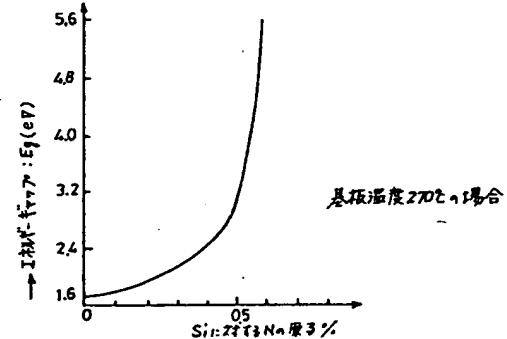
本発明の薄膜トランジスタのエネルギーバンド構造を示す断面図  
第 3 図



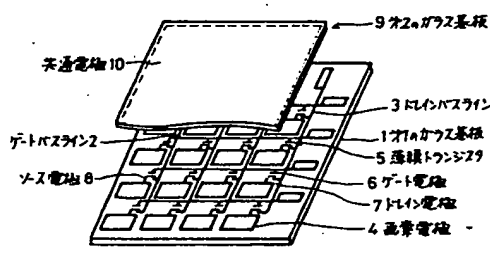
第 3 図の各部の拡大図  
第 4 図



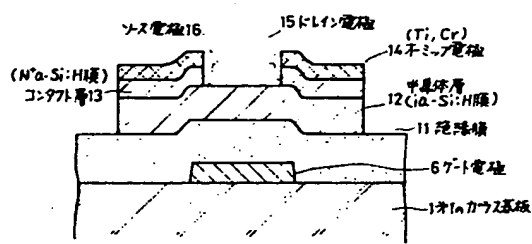
第 5 図



第 6 図



薄膜トランジスタを用いた液晶パネルの斜視図  
第 7 図



従来の薄膜トランジスタの断面図  
第 8 図